

Proposition de stage – Année 2020-2021

Niveau du stage : Master 2 ou Ecole d'ingénieur

Durée du stage : 5 mois

Responsable du stage : Mokrane DAHOUMANE

Téléphone : +33 (0)4 72 43 11 05

Email : m.dahoumane@ipnl.in2p3.fr

Adresse : IP2I Lyon – Bureau 210-R-16bis
Domaine Scientifique de la Doua – Bât. Paul Dirac
4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

Thématique : Microélectronique analogique et mixte

Intitulé du stage : Etude et Développement d'un TDC rapide et multivoies de résolution de 1 ps rms en technologie CMOS 130 nm : modélisation en Verilog-A du circuit et simulation dans un environnement mixte analogique-numérique.

Description du travail demandé :

Contexte scientifique :

Ce développement vise plusieurs projets cibles exigeant la picoseconde de résolution. En Physique des Hautes Energies (HEP), la mesure de temps fine et précise de l'ordre de la picoseconde devient de plus en plus requise comme une 4ème dimension, pour éviter la dégénérescence due au pile-up et améliorer la construction des processus physiques. Parmi les applications de ce travail de stage figurent également des projets de R&T/IN2P3 comme FASTIME dont la mesure de temps de l'ordre de la picoseconde de résolution sera nécessaire. En fin, la future génération de Tomographies à émission de positon (TEP) nécessitera une mesure de temps de vol (Time of Flight : ToF) avec une précision meilleure que 10 ps rms et un temps mort inférieur à 10 ns.

Ce travail permettra de développer un ASIC (Application-Specific Integrated Circuit) de type TDC (Time-to-Digital Converter) de haute résolution pour étiqueter en temps et mesurer le temps d'arrivée des événements issus d'un détecteur de physique des particules.

Objectifs du stage :

L'objectif de ce travail est d'étudier et de concevoir un TDC de très bas Jitter (1ps rms) qui puissent être intégrées avec des circuits de lecture Front End sur un même substrat de silicium, en vue de réaliser, à termes, une chaîne complète de la mesure de temps précise.

Le travail du stage portera sur la modélisation en VerilogA des blocs constituant un TDC utilisant une architecture de type Vernier Ring Oscillator. Les performances de chaque bloc seront évaluées et simulées dans un testbench comportemental qui sera décrit en VerilogA. En plus du domaine analogique, ce stage permettra de simuler dans un environnement mixte analogique/numérique la vue TOP du TDC intégrant une partie digitale de traitement du signal à côté des blocs analogiques. Le travail de ce stage s'appuiera sur des versions de TDC déjà réalisées et testées dans l'équipe.

Les spécifications du circuit :

- Jitter < 1ps rms
- LSB équivalent réglable autour de 3 ps (pour minimiser le bruit de quantification)
- Puissance dissipée 300 μ W par voie
- Circuit multivoie : 32 voies
- Gamme dynamique du TDC : 1ns. La dynamique est extensible moyennant des compteurs grossiers (Coarse Counter) à l'extérieur de l'ASIC sur les cartes d'acquisition.
- Technologie CMOS 130 nm.

Outils :

- Utilisation des outils Cadence Virtuoso pour la simulation et le layout.
- Spectre : simulations analogiques
- SpectreRF : simulations de bruit de phase des oscillateurs
- AMS : simulations mixtes analogique-numérique. La complexité du circuit et la taille (capacité sur disque) de la vue TOP limite la performance de l'utilisation du simulateur Spectre.

Le/la stagiaire sera intégré (e) dans une équipe de 6 concepteurs en microélectronique à l'IP2I (<http://www.ip2i.in2p3.fr/>).

Méthodologie :

- Etude bibliographique sur les architectures de TDC
- Initiation à la modélisation en VerilogA
- Prise en main du testbench comportemental
- Simulations comportementale des blocs du TDC
- Simulation comportementale mixte de la vue TOP du TDC
- Implémentation des blocs du TDC
- Réalisation du Layout des blocs
- Simulations Post-Layout

Indemnité : 591€ net mensuel