

Proposition de sujet de stage – Année 2020/2021

Niveau du stage :	M2 – fin d'étude Ingénieur
Durée du stage :	6 mois
Pour les stages de fin d'étude :	
	- Ouverture éventuelle vers un sujet de thèse : Non
	- Type de financement envisagé :...

Responsable du stage :	Xiushan Chen
Téléphone :	+33 4 72 43 44 89
Mail :	x.chen@ipnl.in2p3.fr
Adresse :	IP2I – Bureau R12 Domaine Scientifique de la Doua – Bât. P. Dirac 4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France
Equipe d'encadrement :	Xiushan Chen

Intitulé du stage :

Réalisation de la mesure de temps d'arrivée du signal avec une résolution RMS (root mean square en anglais) picoseconde sur FPGA d'Altera

Résumé du travail demandé :

Dans de multiples domaines, la demande de mesure du temps de plus en plus précise, à l'aide de TDC (Time-to-Digital Converter en anglais), continue de croître. Le TDC peut être implémenté sur FPGA ou ASIC, chaque solution ayant ses avantages et ses inconvénients. Parmi les différentes architectures disponibles pour implémenter TDC sur FPGA, l'architecture TDL (Tapped Delay Line en anglais) est largement utilisée pour atteindre des résolutions inférieures à 10 ps. Le principe de base de sa mesure est de combiner un compteur piloté par une horloge pour fournir un temps de mesure grossier et un interpolateur TDL pour obtenir un temps de mesure fin. Le TDL est une chaîne de retard construite sur la chaîne de transport FPGA. Pour les FPGA modernes (ex. Aerial 10), le temps de retard moyen de l'unité de retard est inférieur à dix picosecondes. De plus, afin d'obtenir une précision <5ps, une technique de mesure du même signal plusieurs fois est utilisée. Elle consiste à utiliser plusieurs TDL-TDC parallèles pour un même signal ou à utiliser un TDL-TDC pour effectuer plusieurs mesures pour un même signal. En utilisant cette dernière méthode d'amélioration de la précision, une résolution de 2.9 ps RMS sur Virtex-4 FPGA a été rapportée récemment.

Le but du stage est d'étudier et tester une nouvelle architecture basée sur TDL-TDC pour atteindre une résolution RMS ≤ 1 ps. Le TDC proposé pendant le stage sera testé sur une carte prototype contenant un FPGA Altera (comme Aerial 10 ou Stratix III GX, etc.). Les différentes tâches typiques sont les suivantes:

- 1) Validation d'une nouvelle architecture via banc de test sous Modesim.
- 2) Implémentation de deux canaux TDC (dont un système de transmission) sur FPGA ciblé en appliquant des contraintes de placement et de timing etc.
- 3) Analyse des résultats d'implémentation via post layout
- 4) Analyse des performances du TDC par le système de console et en utilisant le langage TCL
- 5) Acquisition et analyse de données mesurées basées sur un système Python.

Compétences :

- Maitrise du langage VHDL avec, si possible, la mise en pratique sur FPGA
- La connaissance des outils Altera Quartus Qsys et Python serait un plus,