

## Proposition de stage – Année 2020-2021

**Niveau du stage** : Ingénieur

**Durée du stage** : 6 mois

**Responsable du stage** : C. Girerd et G. Galbit, C. Guérin, W. Tromeur, G. Noel, X. Chen

**Téléphone** : 0472431105

**Email** : c.girerd@ipnl.in2p3.fr

**Adresse** : IP2I Lyon – Bureau R16b  
Domaine Scientifique de la Doua – Bât. Paul Dirac  
4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

**Thématique** : Etude de l'accélération d'algorithmes de traitements pour l'analyse de données d'ondes gravitationnelles avec des cartes accélératrices FPGA.

**Intitulé du stage** : Etude de l'accélération d'algorithmes de traitements pour l'analyse de données d'ondes gravitationnelles avec des cartes accélératrices FPGA.

**Description du travail demandé** : Le stage porte sur la mise en œuvre d'une carte accélératrice du commerce, 520N-MX de la société Bittware à base d'un FPGA Stratix 10 pour l'implémentation hardware d'algorithmes de traitement de données d'ondes gravitationnelles. Le stage visera dans un premier temps à mettre en œuvre cette carte par l'implémentation d'exemples fournis par le constructeur. Cette permettra également de maîtriser les outils, Open-CL et HLS (High Level Synthesis). Dans un deuxième temps, une étude devra être menée sur les algorithmes utilisés pour le traitement et l'analyse des données des détecteurs d'ondes gravitationnelles. Ces traitements qui consistent à appliquer plusieurs filtres sur les mêmes données peuvent grandement être optimisés en utilisant le parallélisme dans les FPGA. Il faudra identifier et définir les algorithmes pouvant être implémentés sur la carte accélératrice puis évaluer le gain en performance par rapport aux temps d'exécutions obtenus avec les serveurs de calculs utilisés actuellement.

## Internship offer – Year 2019-2020

**Internship level:** Engineer

**Duration:** 6 month

**Supervisor:** C. Girerd, G. Galbit, C. Guérin, W. Tromeur, G. Noel, X, Chen

**Phone:** 0472431105, 0644382481

**Email:** [c.girerd@ipnl.in2p3.fr](mailto:c.girerd@ipnl.in2p3.fr)

**Address:** IP2I Lyon – Bureau XXX  
Domaine Scientifique de la Doua – Bât. Paul Dirac  
4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

**Research field:** Study of the acceleration of gravitational wave data analysis algorithms with FPGA accelerator boards.

**Internship title:** Study of the acceleration of gravitational wave data analysis algorithms with FPGA accelerator boards.

**Work description:** This internship focuses on the implementation of a commercially available accelerator board, 520N-MX from Bittware based on a Stratix 10 FPGA for the hardware implementation of analysis algorithms. The internship will initially aim to implement this board by implementing examples provided by the manufacturer. This will also allow to master the tools, Open-CL and HLS (High Level Synthesis). Secondly, a study will be conducted on the algorithms used for the processing and analysis of data from gravitational wave detectors. These treatments, which consist of applying several filters on the same data, can be greatly optimized by using parallelism in FPGAs. It will be necessary to define the algorithms that can be implemented on the accelerator board and then evaluate the performance gain compared to the execution times obtained with the calculation servers currently in use.